
(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020020007220 A**

(43)Date of publication of application:
26.01.2002

(21)Application number: **1020010042571**

(71)Applicant: **MURATA
MANUFACTURING
CO., LTD.**

(22)Date of filing: **14.07.2001**

(72)Inventor: **AMAYA KEISHIRO
NAKATA
YASUHIRO**

(51)Int. Cl **H01F 27/25**

**(54) CONDUCTOR PATTERN AND ELECTRONIC COMPONENT PROVIDED
THEREWITH**

(57) Abstract:

PURPOSE: To provide a conductor pattern which can suppress a phenomenon, in which the corner parts of the pattern are peeled off from a substrate to float up on the substrate, and to provide an electronic component provided with the said conductor pattern. CONSTITUTION: A conductor pattern 5 for an inductor is formed into a spiral shape and has linear parts 5a and corner parts 5b. The width of the bottom of the transverse section of this pattern 5 is formed thinner than that of the surface of the pattern 5. Moreover, the width of the bottom of the transverse section of each corner

part 5b is set so that the width of the bottom is formed thicker than that of the bottom of the transverse section of each linear part 5a.

copyright KIPO & JPO 2002

Legal Status

Date of request for an examination (20010714)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20040429)

Patent registration number (1004311470000)

Date of registration (20040430)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01F 27/25

(11) 공개번호 특2002-0007220
(43) 공개일자 2002년01월26일

(21) 출원번호	10-2001-0042571
(22) 출원일자	2001년07월14일
(30) 우선권주장	JP-P-2000-00214908 2000년07월14일 일본(JP)
(71) 출원인	가부시키가이샤 무라타 세이사쿠쇼 무라타 야스타카 일본국 교토후 나가오카교시 덴진 2초메 26방 10고
(72) 발명자	나카타야스히로 일본국 교토후 나가오카교시 덴진 2초메 26방 10고 가부시키가이샤 무라타 세이사쿠쇼 아마야케이시로 일본국 교토후 나가오카교시 덴진 2초메 26방 10고 가부시키가이샤 무라타 세이사쿠쇼
(74) 대리인	윤동열, 이선희

심사청구 : 있음

(54) 도체 패턴과 이를 갖는 전자부품

요약

본 발명은 모서리가 기판으로부터 벗겨지고 떨어져 나가는 것을 억제할 수 있는 도체 패턴과 이 도체 패턴을 갖는 전자부품을 제공한다. 인덕터용 도체 패턴은 나선형 모양이고 직선부와 직선부에 연결된 모서리부로 구성된다. 도체 패턴의 저면 횡단폭은 상면 횡단폭보다 작다. 더불어, 모서리부의 저면 횡단폭은 직선부의 저면 횡단폭보다 크도록 설정된다.

대표도

도1

색인어

도체, 패턴, 수축 응력, 인장 응력, 인덕터, 전자부품

명세서

도면의 간단한 설명

도 1 은 본 발명의 실시예에 따른 도체 패턴의 평면도이다.
도 2 는 도 1 의 선 II-II의 단면도이다.
도 3 은 도 1 에 도시된 도체 패턴의 제작 공정의 사시도이다.
도 4 는 도 3 으로부터 연속되는 제작 공정을 도시한 사시도이다.
도 5 는 도 4 로부터 연속되는 제작 공정을 도시한 단면도이다.
도 6 은 도 5 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 7 은 도 6 으로부터 연속되는 제작 공정을 도시한 사시도이다.
도 8 은 도 7 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 9 는 도 8 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 10 은 도 9 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 11 은 도 10 으로부터 연속되는 제작 공정을 도시한 사시도이다.
도 12 는 도 11 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 13 은 도 12 로부터 연속되는 제작 공정을 도시한 사시도이다.
도 14 는 종래 도체 패턴의 단면도이다.
도 15 는 도 14 에 도시된 도체 패턴의 평면도이다.

<도면의 주요 부분에 대한 간단한 설명>

- 1:기판 2:감광성 도전 페이스트
- 2a:광-경화 영역 2c:비-광-경화 영역
- 3:포토-마스크 3a:이미지 패턴
- 3b:차광부 5:도체 패턴
- 5a:직선부 5b:모서리부
- 8:감광성 절연 페이스트 9:포토-마스크
- 10:절연 필름 11:비아홀
- 15:감광성 도전 페이스트 16:포토-마스크
- 17:도체 패턴 22:칩
- 23:외부 전극 24:외부 전극
- 25:다층 인덕터 30:기판
- 31:도체 패턴 32a:직선부
- 32b:모서리부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 도체 패턴과 도체 패턴을 갖는 전자부품에 관한 것이다.

인쇄 도전 페이스트(paste)에 의해 형성된 종래의 인덕터(inductor)용 도체 패턴(pattern)에서는, 폭이 좁은 패턴을 얻을 수가 없어서 편차가 작은 도체에 적합하지 않다. 편차가 작은 인덕터를 제조하는 경우: 도 전박막이 스퍼터링(sputtering)에 의해 형성되고: 인덕터용 도체 패턴은 포토-리소그래피(photo-lithography)와 에칭(etching)에 의해 형성되고: 그런 후에, 막 두께는 작은 편차와 큰 Q 값을 갖는 인덕 터용 도체 패턴을 형성하기 위하여 도금에 의해 막두께를 더 증가시킨다. 그러나, 상기 도금 공정은 긴 처 리(throughput) 시간과 비용이 증가하는 문제가 있다.

최근에, 도체 패턴을 형성하는데 감광성 도전 페이스트를 이용한 방법이 제안되었다. 이 방법에서, 감광성 도전 페이스트는 코팅되고 도체 패턴이 그 위에 노광, 현상, 소성에 의해 형성된다.

소정의 Q값과 DC저항을 얻기 위해, 인덕터용 도체 패턴의 패턴 폭과 공간을 감소한 경우와 형태 비율이 도 체 두께의 증가에 의해 증가되는 경우, 소성시 인덕터용 도체 패턴의 나선형 모서리부가 기판에서 벗겨져 떨어져 나가는 결함이 발생한다. 소성공정시 감광성 도전 페이스트를 사용할 때 발생한 단면모양과 수축 응력으로 인해 이런 결함이 생긴다.

즉, 자외선 빔과 같은 라이트 빔은 감광성 도전 페이스트 처리에서 약하게 발생하여, 감광성 도전 페이스 트의 바닥부가 노광되기 어렵게 된다. 그러므로 광-경화(photo-cured) 영역이 도 14 에 도시된 바와 같이, 현상 후에 도체 패턴(31)의 단면모양은 하부로 진행할 때 감소하게 되고 통상 역사다리형이 되기 쉽다. 소 성 후에 도체 패턴(31)의 수축비율은 대략 70%이고 기판(30)과 도체 패턴(31)의 접촉 영역은 더 감소된다. 그러므로, 기판(30)과 도체 패턴(31)의 접촉 영역은 비교적 작고 기판(30)과 도체 패턴(31)의 결함 강도도 비교적 작다.

또 한편으로는, 도 15 에 도시된 직선부(32a)와 모서리부(32b)를 갖는 인덕터용 도체 패턴에서, 소성시 큰 수축 응력(K1)이 직선부(32a)에 발생된다. 모서리부(32b)에서, 직선부(32a)의 수축 응력(K1)으로 인한 큰 인장 응력(K2)이 패턴의 폭방향으로 발생되어, 모서리부(32b)는 기판(30)에서 벗겨져 떨어져 나간다.(도 14 의 우측 도체 패턴(31) 참조)

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 모서리부가 기판에서 벗겨져 떨어져 나가는 것을 억제할 수 있는 도체 패턴 및 상기 도체 패턴을 갖는 전자부품을 제공한다.

발명의 구성 및 작용

이 목적을 위해, 본 발명에 따른 도체 패턴은 노광, 현상 및 소성하여 기판 표면에 코팅된 감광성 도전 페 이스트로 형성되고, 상기 도체 패턴은 직선부와 직선부에 연결된 모서리부로 구성되며, 각 직선부의 도체 패턴의 저면 횡단폭은 상면 횡단폭보다 크다.

더 상세하게는, 각 모서리부의 저면 횡단폭은 각 모서리부의 도체 두께보다 적어도 1.07배인 것이 바람직 하고, 더 바람직하게는 적어도 1.5배이다. 더불어, 각 직선부의 저면 횡단폭은 각 직선부 도체 두께보다 적어도 0.67배인 것이 바람직하다.

상술한 구조에 의해, 모서리부의 저면 횡단폭이 직선부의 저면 횡단폭보다 커서, 종래의 것에 비교하여 모 서리부와 기판의 접촉 영역은 증가된다. 이에 의해, 도체 패턴의 모서리부가 기판에서 떨어지는 문제가 해

결될 수 있다.

본 발명에 따른 전자부품은 노광, 현상 및 소성하여 기판 표면에 코팅된 도체 패턴에 형성된 도체 패턴을 포함하고, 상기 도체 패턴은 상기한 형태를 갖는 도체 패턴의 하나로, 직선부와 직선부에 연결된 모서리부를 포함한다.

본 발명에 따른 도체 패턴과 도체 패턴을 갖는 전자부품의 실시에는 첨부된 도면을 참조로 후술될 것이다. 실시에는 인덕터용 도체 패턴과 인덕터를 예로 기술될 것이다.

도 1 에 도시된 바와 같이, 인덕터용 도체 패턴(5)은 나선형 구조를 갖고 직선부(5a)와 직선부(5a)와 연결된 모서리부(5b)를 포함한다. 도 2 에 도시된 바와 같이, 인덕터용 도체 패턴(5)의 저면 횡단폭(W1)은 도체 패턴의 상면 횡단폭(W2)과 같거나 작다. 모서리부(5b)의 저면 횡단폭(W1)은 직선부(5a)의 저면 횡단폭(W1)보다 크도록 설정한다. 따라서, 모서리부와 기판의 접촉영역은 종래의 것과 비교할 때 증가된다. 이에 의해, 인덕터용 도체패턴의 모서리부(5b)를 소성 중에 기판으로부터 벗겨지기 힘들다.

인덕터용 도체 패턴(5)은 다음과 같이 형성된다.

도 3 에 도시된 바와 같이, 기판(1)의 대체로 전체 상면에, 필름을 형성하기 위해 감광성 도전 페이스트(2)가 인쇄 방법과 같은 방법에 의해 코팅되고 건조된다. 이 실시예에서, 건조후 감광성 도전 페이스트(2)의 목적하는 두께는 15 μ m이다. 기판(1)은 글래스(glass), 글래스 세라믹, 알루미나(alumina), 페라이트(ferrite)와 같은 재료로부터 만들어진다. 감광성 도전 페이스트(2)는 Ag 또는 Cu와 같은 재료가 사용된다.

이후, 도 4 와 도 5 에 도시된 바와 같이, 기판(1)의 상면에, 매트릭스 배열(matrix arrangement)로 상면에 형성된 소정의 이미지(image) 패턴(3a)을 갖는 포토-마스크(photo-mask: 3)가 코팅되고; 자외선 빔(B)이 여기에 인가되어 감광성 도전 페이스트(2)의 원하는 부분이 광-경화(photo-cured)된다.(노광 공정) 이때 자외선 빔(B)이 감광성 도전 페이스트(2)의 하부에 도달하기 어렵기 때문에, 도 5 에 도시된 바와 같이, 광-경화 영역(2a)은 아래로 갈수록 감소된다. 또한, 포토-마스크(3)의 차광부(3b)에 의해 자외선 빔(B)이 차폐된 영역(2c)은 비-광-경화(non-photo-cured) 영역이다. 포토-마스크(3)의 이미지 패턴(3a)에서, 직선 모서리부의 폭은 직선부의 폭보다 크다.

이후, 감광성 도전 페이스트(2)는 기판(1)의 표면에 현상액을 분무하여 현상된다. 그리하여, 감광성 도전 페이스트(2)의 비-광-경화 영역(2c)은 현상액에 의해 제거된다. 잔여 감광성 도전 페이스트(2)는 인덕터용 나선형 도체 패턴이 된다. 인덕터용 도체 패턴(5)의 횡단면의 모양은 일반적으로 역사다리꼴이다. 그러나, 이는 직사각형일 수도 있다. 인덕터용 도체 패턴(5)은, 도 6 에 도시된 바와 같이, 기판(1)의 표면에 매트릭스 배열로 배치된다.

이후, 인덕터용 도체 패턴(5)은 고온(예를 들면 800 $^{\circ}$ C)의 열처리에 의해 소성된다. 이때, 도 1 에 도시된 바와 같이, 큰 수축응력(K1)이 도체 패턴(5)의 직선부(5a)에 발생된다. 모서리부(5b)에는, 큰 인장응력(K2)이 수축응력(K1)으로 인해 발생된다. 그러나, 도체 패턴(5)의 모서리부(5b)의 저면 횡단폭(W1)이 직선부(5a)의 저면 횡단폭(W1)보다 커서 모서리부(5b)와 기판(1)의 결합 강도가 크기 때문에, 인장응력(K2)이 모서리부(5b)에 인가될 때, 모서리부(5b)는 기판(1)에서 벗겨지지 않는다.

더불어, 도 7 에 도시된 바와 같이, 인덕터용 도체 패턴(5)을 갖는 기판(1)의 대체적으로 전체 상면에는, 필름을 형성하기 위해 감광성 절연 페이스트(8)가 인쇄법과 같은 방법에 의해 코팅되고 건조된다. 감광성 절연 페이스트(8)는 폴리마이드 레진(polymide resin)과 같은 재료가 사용된다.

이후, 도 8 에 도시된 바와 같이, 기판(1)의 상면에, 소정의 이미지 패턴(9a)이 형성된 포토-마스크(9)가 코팅되고; 자외선 빔 등이 포토-마스크(9)에 인가되어, 비어홀(hole)을 제외한 감광성 절연 페이스트(8)가 경화된다.(노광공정) 다음으로, 기판(1)이 인덕터용 도체 패턴(5)과 실질적으로 같은 조건하에 현상된다. 그리하여, 비어홀(via hole: 11)을 형성하도록 감광성 절연 페이스트(8)의 불필요한 부분이 현상액에 의해 제거된다.(도 9 참조) 나머지 감광성 절연 페이스트(8)는 절연 필름(10)이 된다. 그 후에, 비어홀(11)을 갖는 절연 필름(10)은 열처리에 의해 고온에서 소성된다. 인덕터용 도체 패턴(5)의 한 종단은 비어홀(11)로 노광된다.

다음으로, 도 10 에 도시된 바와 같이, 비어홀(11)이 위에 형성된 유전 필름(10)의 실질적으로 전체 상면에, 필름을 형성하도록 감광성 도전 페이스트(15)가 인쇄법과 같은 방법에 의해 코팅되고 건조된다. 그런 후에, 도 11 에 도시된 바와 같이, 기판(1)의 상면에, 매트릭스 배열로 형성된 소정의 이미지 패턴(16a)을 갖는 포토-마스크(16)가 덮어지고; 자외선 빔이 그 위에 인가되어 감광성 도전 페이스트(15)의 소망부분이 경화된다.(노광공정)

다음으로, 기판(1)은 인덕터용 도체 패턴(5)과 같은 조건하에 현상된다. 그리하여, 소망부분을 제외한 감광성 도전 페이스트(15)의 불필요한 부분은 현상액에 의해 제거된다.(현상공정) 감광성 도전 페이스트(15)의 나머지는 도 12 에 도시된 바와 같이 인덕터용 나선형 도체 패턴(17)이 된다. 각 인덕터용 도체 패턴(17)의 한 종단은 비어홀(11)을 통해 인덕터용 각 도체 패턴(5)의 한 종단에 전기적으로 연결된다.

같은 방법으로, 유전 필름과 인덕터용 도체 패턴은 교대로 그 밑에 적층된다. 인덕터용 도체 패턴(5,17)은 코일을 형성하도록 유전 필름(10)에 형성된 비어홀(11)을 통해 직렬로 전기적으로 연결된다. 최종층에 보호 필름을 적층한 후에, 기판(1)은 하나의 각 제품크기(칩)로 절단된다. 도 13 에 도시된 바와 같이, 칩(22)의 양 절단 종단에, 외부전극(23,24)이 코팅, 스퍼터링, 습식 도금과 같은 방법을 사용하여 형성된다. 외부전극(23,24)은 코일의 양 종단 각각에 연결된다. 이와 같은 방법에서, 다중 인덕터(25)가 얻어진다.

더불어, 본 발명에 따른 도체 패턴과 도체 패턴을 갖는 전자부품은 상술한 실시예에 한정되지 않으며; 기술사상의 범위 내에서 변형될 수 있다. 본 실시예에는 특히 한 예로써 인덕터용 도체 패턴을 사용하는 것으로 기술되었으나; 이에 한정되지 않고 본 발명은 다양한 전자부품용 스트립라인(stripline) 패턴과 같은 도체 패턴에 응용될 수 있다.

상기한 실시예의 노광공정에서, 인덕터용 도체 패턴(5)의 평가 결과가 표 1 에 도시되는데, 포토-마스크

(3)의 이미지 패턴(3a)에서, 노광은 직선부의 선 폭이 25 μ m이고 여백이 15 μ m으로 수행되고, 다양한 선 폭의 모서리부가 사용된다. 소성시 인덕터용 도체 패턴(5)의 모서리(5b)의 벗겨짐과 내습부하(wet-proof loading) 후 획득된 다층 인덕터(25)의 열화(Q)에 관해 평가가 수행된다. 획득된 다층 인덕터(25)의 초기 값이 초기값의 $\pm 10\%$ 이내인 경우, Q 열화가 수용된다. 표 1 에서, 모서리부와 직선부의 같은 선 폭을 갖는 이미지 패턴(3a)을 사용할 때 노광이 수행된 경우와 비교하여 평가결과가 나타난다.

[표 1]


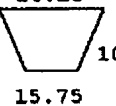
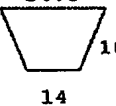
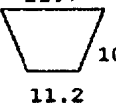
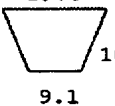
	첫번째 실시예	두번째 실시예	세번째 실시예	종래의 예
소성후 직선부의 횡단크기 (μ m)	<div>19.6  10.5 9.1</div>			
소성후 모서리부의 횡단크기 (μ m)	<div>26.25  15.75 10.5</div>	<div>24.5  14 10.5</div>	<div>21.7  11.2 10.5</div>	<div>19.6  9.1 10.5</div>
저면폭/도체두께	1.5	1.33	1.07	0.87
벗겨짐	없음	없음	없음	있음
내습부하 후 열화 Q	0/100	1/100	3/100	

표 1로부터, 인덕터용 도체 패턴의 모서리부의 저면 횡단폭(W1)이 도체 두께(D) 보다 1.07배 이상인 경우, 모서리부(5b)의 벗겨짐은 억제되고 열화(Q)도 작음을 알 수 있다. 특히, 모서리부의 저면 횡단폭(W1)이 도체 두께(D) 보다 1.5배 이상인 경우, 열화(Q)는 발생하지 않는다.

인덕터용 도체 패턴(5)의 직선부(5a)의 저면 횡단폭(W1)이 지나치게 감소될 경우, 소성 후 직선부(5a)의 구불구불함이 발생되기 쉽다. 구불구불함을 억제하기 위하여, 직선부(5a)의 저면 횡단폭(W1)과 도체 두께(D)의 관계가 평가되었다. 평가 결과는 표 2에 도시된다.

TABLE 2




	네번째 실시예	다섯번째 실시예
소성후 모서리부의 횡단크기(μm)		
소성후 직선부의 횡단크기(μm)		
저면폭/도체 두께	0.73	0.67
구불구불함	없음	있음

표 2로부터 직선부(5a)의 저면 횡단폭(W1)이 도체 두께 D보다 0.67 배 이상인 경우, 직선부(5a)의 구불구불함이 억제될 수 있음을 알 수 있다.

발명의 효과

따라서, 본 발명에 따른 도체 패턴은 모서리부가 기판에서 벗겨져 떨어져 나가는 것을 억제할 수 있다.

(57) 청구의 범위

청구항 1

기판 표면에 감광성 도전 페이스트를 코팅하고, 이 감광성 도전 페이스트를 노광(exposing), 현상(developing), 및 소성하여 형성된 도체 패턴은,

직선부: 및

상기 직선부에 연결된 모서리부(corner):를 포함하고,

상기 도체 패턴의 저면 횡단폭이 상기 도체 패턴의 상면 횡단폭보다 크지 않고,

상기 각 모서리부의 저면 횡단폭은 상기 각 직선부의 저면 횡단폭보다 큰 것을 특징으로 하는 도체 패턴.

청구항 2

청구항 1에 있어서,

상기 각 모서리부의 저면 횡단폭은 상기 각 모서리부의 도체 두께의 적어도 1.07 배인 것을 특징으로 하는 도체 패턴.

청구항 3

청구항 1에 있어서,

상기 각 모서리부의 저면 횡단폭은 상기 각 모서리부의 도체 두께의 적어도 1.5 배인 것을 특징으로 하는 도체 패턴.

청구항 4

청구항 1 내지 3의 어느 한 항에 있어서,

상기 각 직선부의 저면 횡단폭은 상기 각 직선부의 도체 두께의 적어도 0.67 배인 것을 특징으로 하는 도체 패턴.

청구항 5

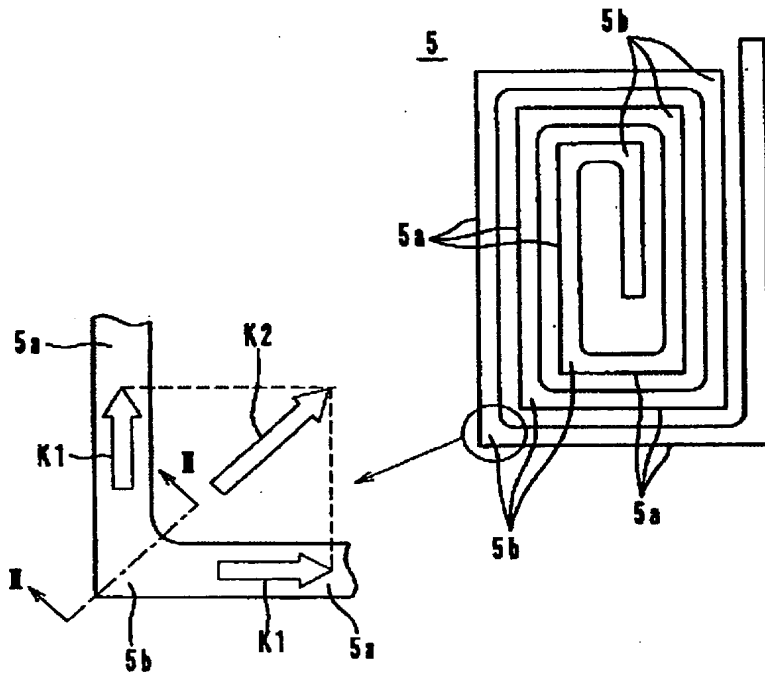
기판 표면에 감광성 도전 페이스트를 코팅하고, 이 감광성 도전 페이스트를 노광(exposing), 현상(developing), 및 소성하여 형성된 도체 패턴을 포함하는 전자부품에서,

상기 도체 패턴은 직선부와 상기 직선부에 연결된 모서리부를 포함하며,

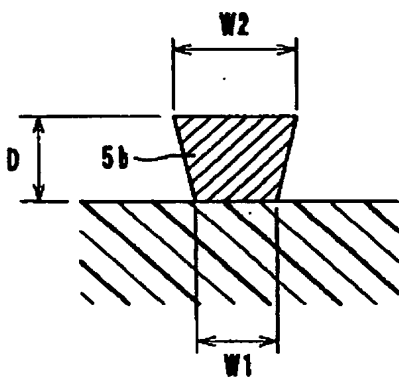
상기 도체 패턴은 청구항 1 내지 3 에 기재된 도체 패턴 중의 하나인 것을 특징으로 하는 전자부품.

도면

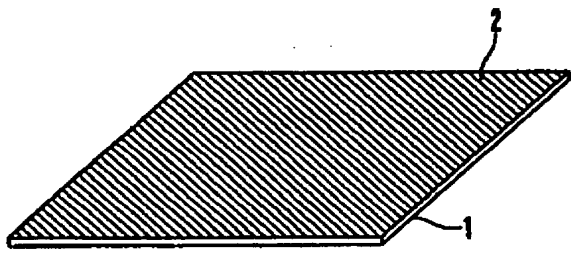
도면1



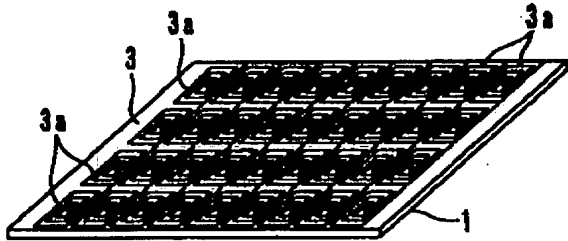
도면2



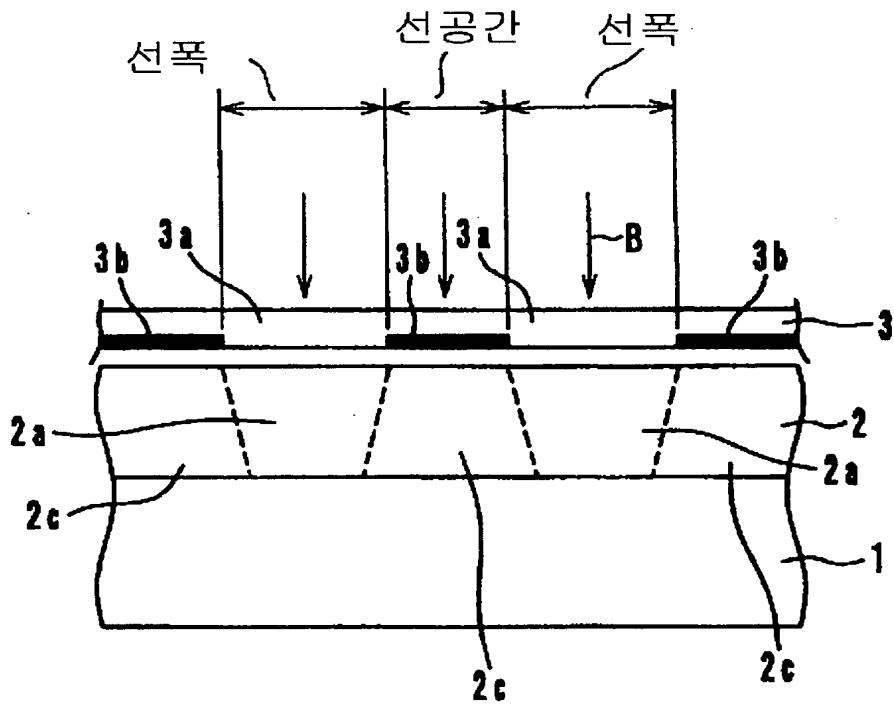
도면3



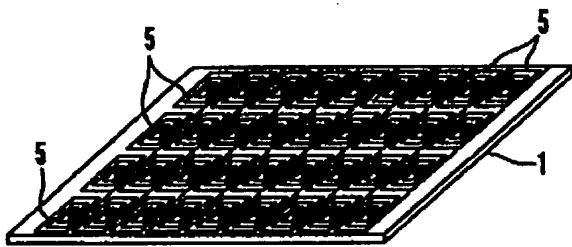
도면4



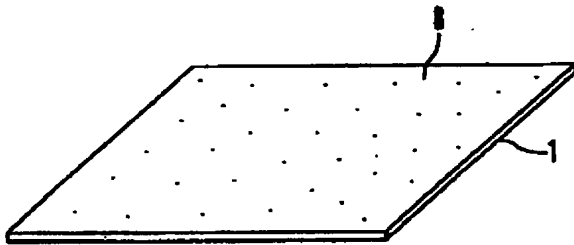
도면5



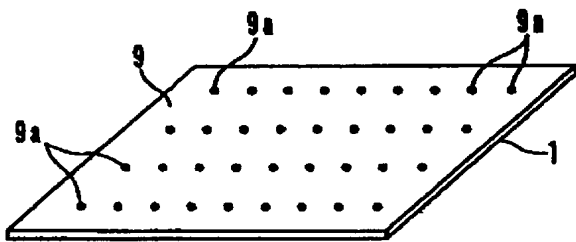
도면6



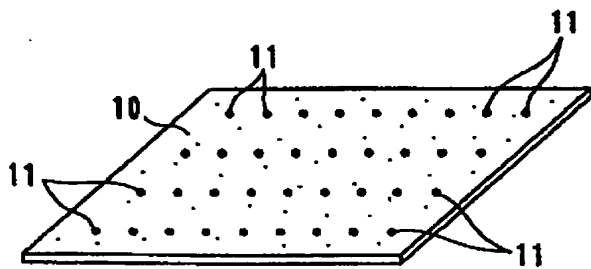
도면7



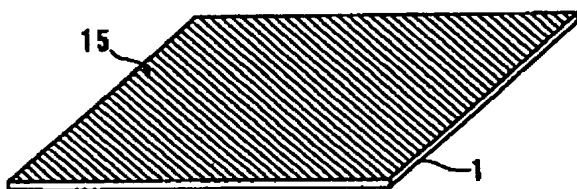
도면8



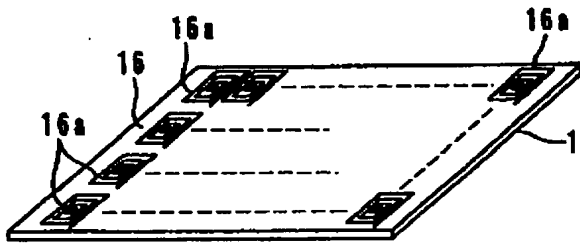
도면9



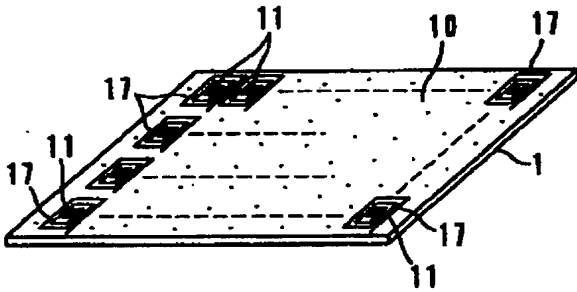
도면10



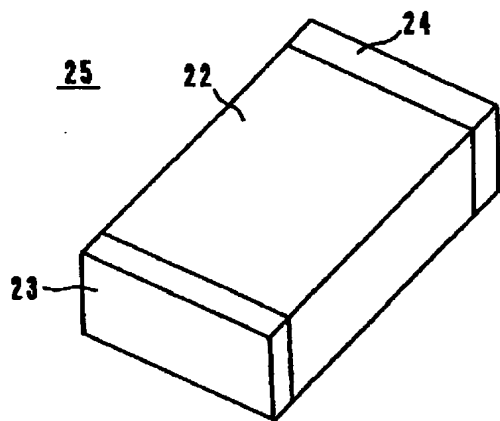
도면11



도면12



도면13



도면14

